Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**Отчет по лабораторной работе №11\_1**

**Курс: «Проектирование реконфигурируемых гибридных**

**вычислительных систем»**

**Тема: « Задержка (Latency) »**

Выполнил студент гр. 3540901/81501 Селиверстов С.А.

(подпись)

Руководитель Антонов А.П.

(подпись)

“\_\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2019 г.

Санкт – Петербург

2019

ОГЛАВЛЕНИЕ

[1. Задание 3](#_Toc27961061)

[2. Исходный код 6](#_Toc27961062)

[3. Моделирование 8](#_Toc27961063)

[4. Исследование 9](#_Toc27961064)

[4.1. Решение 1а 9](#_Toc27961065)

[4.1.2.Синтез решения 1а 9](#_Toc27961066)

[4.1.3. C/RTL моделирование 12](#_Toc27961067)

[4.2. Решение 2а 13](#_Toc27961068)

[4.2.2.Синтез решения 2а 14](#_Toc27961069)

[4.2.3. C/RTL моделирование 17](#_Toc27961070)

[4.3. Решение 3а 18](#_Toc27961071)

[4.3.2.Синтез решения 3а 18](#_Toc27961072)

[4.3.3. C/RTL моделирование 21](#_Toc27961073)

[4.4. Решение 4а 22](#_Toc27961074)

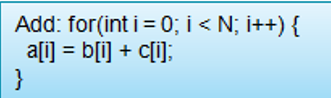
[4.4.2.Синтез решения 3а 22](#_Toc27961075)

[4.4.3. C/RTL моделирование 25](#_Toc27961076)

[Вывод 26](#_Toc27961077)

# Задание

* Создать проект lab11\_1
* Микросхема: xa7a12tcsg325-1q
* Создать функцию, содержащую цикл по образцу

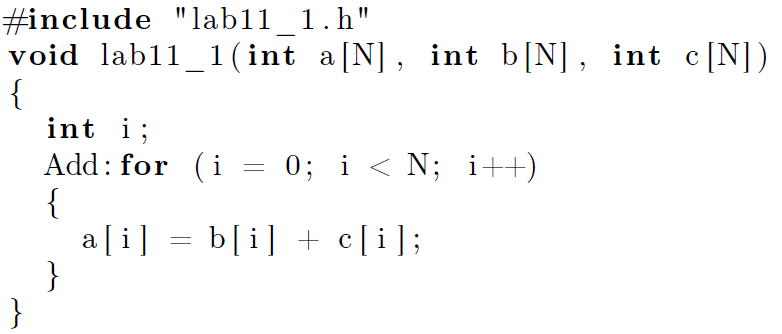


N=16

* Создать тест lab11\_1\_test.c для проверки функции. Осуществить моделирование (с выводом результатов в консоль)
* Исследование:
* Solution\_1а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию ПО УМОЛЧАНИЮ
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Solution\_2а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию UNROLL (без опций)
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_1a и solution\_2a) и сделать выводы: зависимость от UNROLL; объяснить (посчитать) число циклов Latency, II…
* Solution\_3а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию UNROLL (factor 4 + exit check)
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_2a и solution\_3a) и сделать выводы: зависимость от Unroll (factor 4 + exit check) ; объяснить (посчитать) число циклов Latency, II…
* Solution\_4а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию UNROLL (factor 4 без exit check)
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_3a и solution\_4a) и сделать выводы: зависимость от Unroll (factor 4 без exit check) ; объяснить (посчитать) число циклов Latency, II

# Исходный код

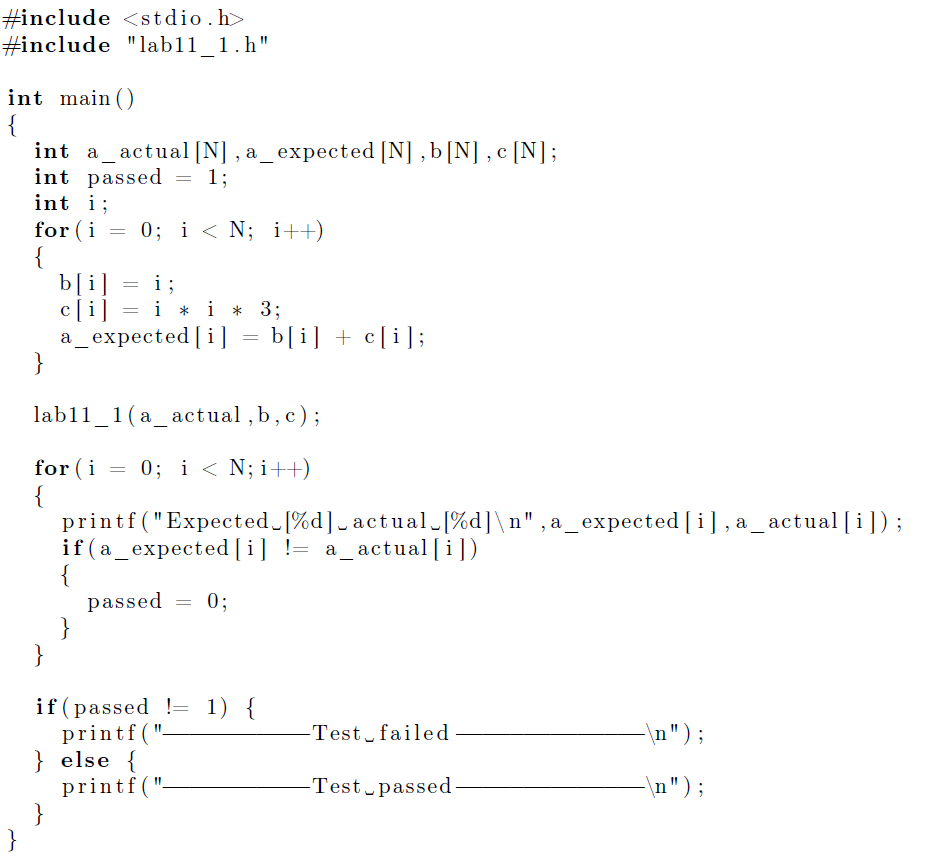
Зададим следующий код устройства:



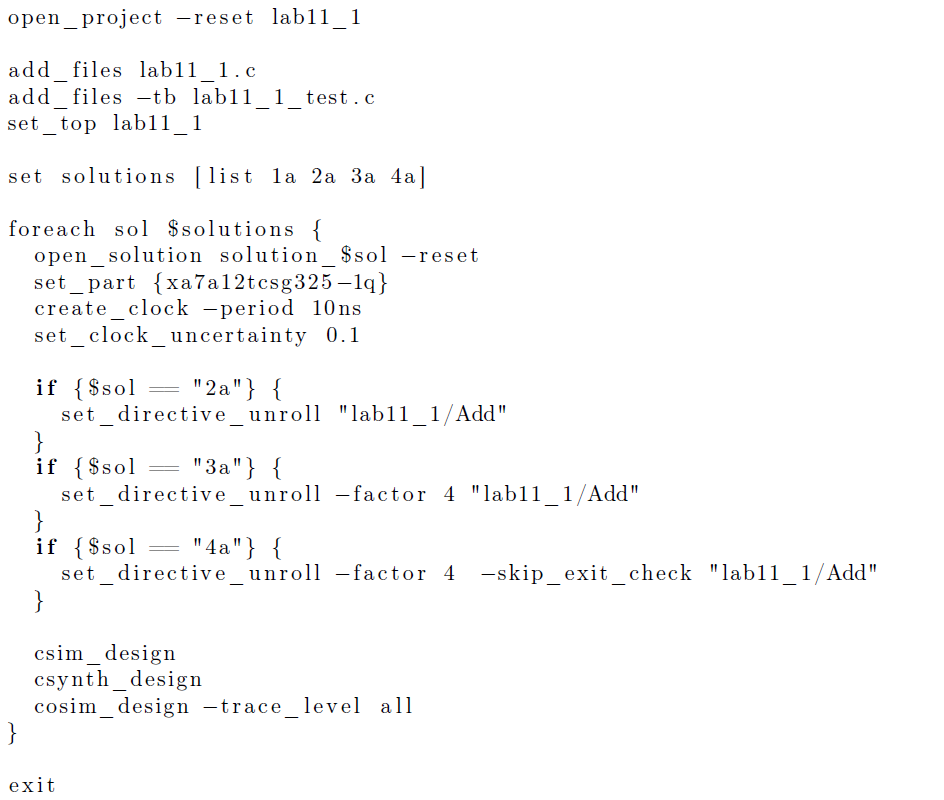
Заголовочный файл определим как:



Код теста для проверки функции имеет вид:

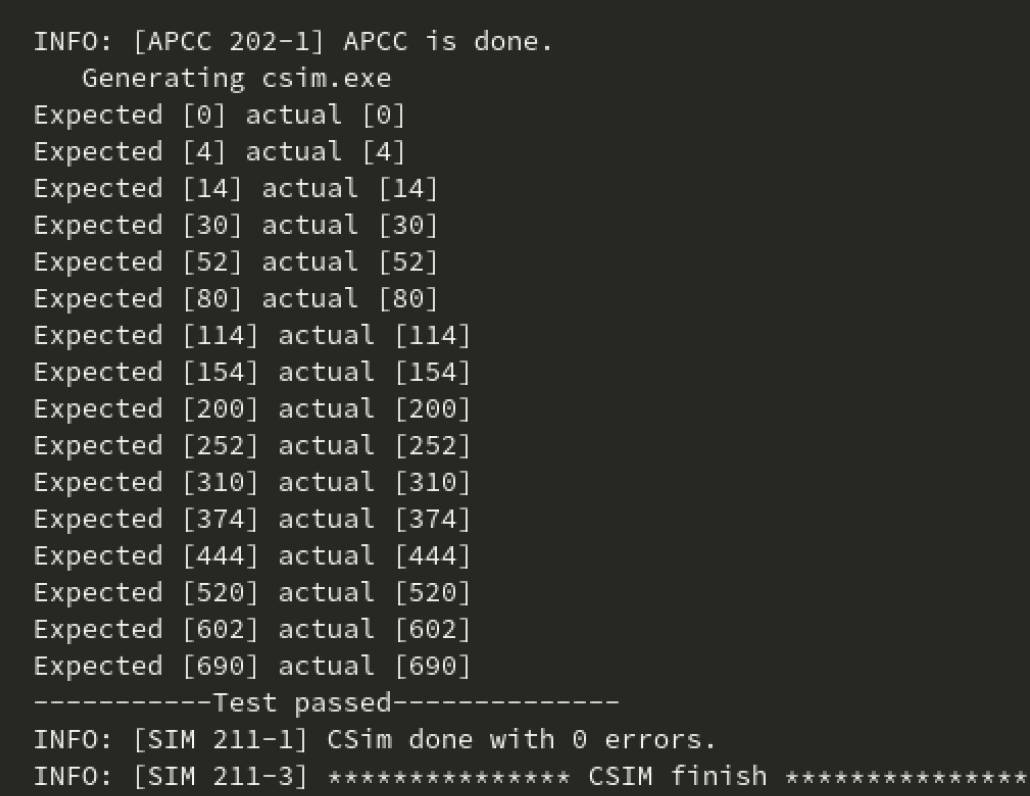


Скрипт для запуска программы с консоли имеет вид:



# Моделирование

Результаты моделирования, подтверждающие корректность работы устройства, имеют вид:



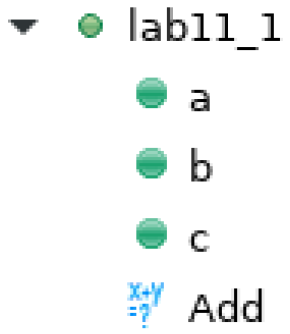
# Исследование

# Решение 1а

В соответствие с планом лабораторной работы устанавливаем:

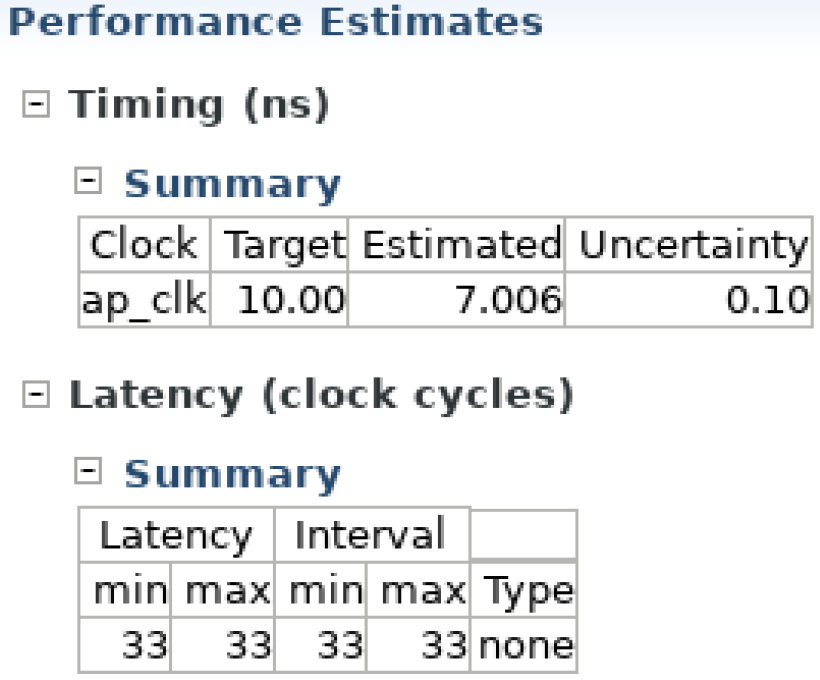
* clock period = 10;
* clock uncertainty = 0.1;
* реализация ПО УМОЛЧАНИЮ

Директивы данного решения имеют вид:



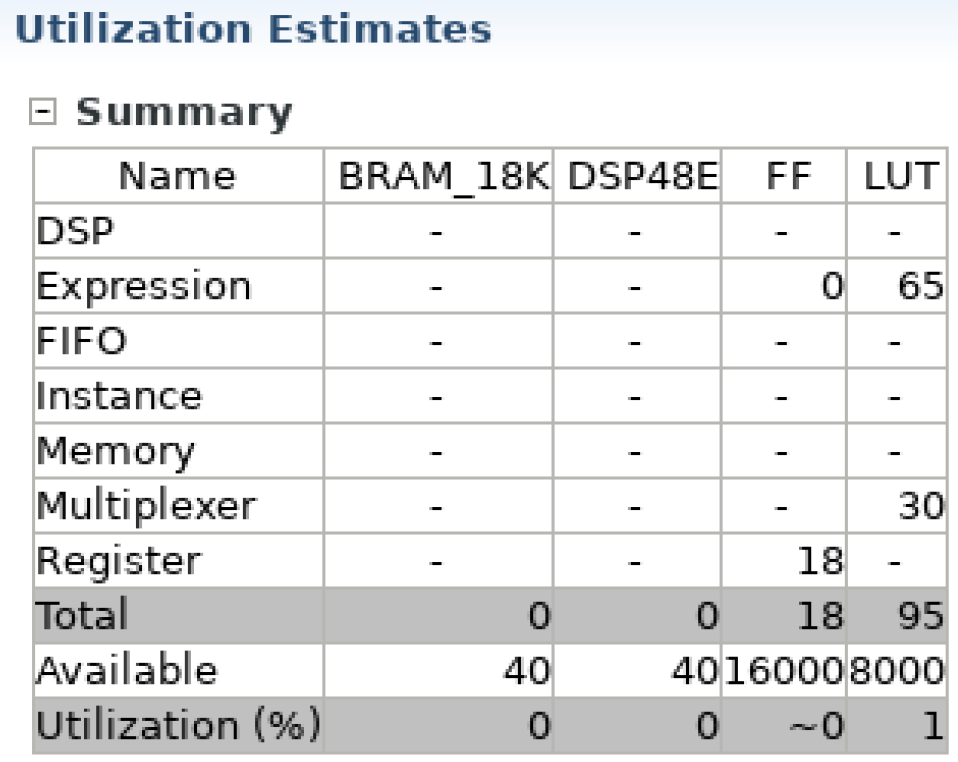
# 4.1.2.Синтез решения 1а

Результаты оценки производительности имеют вид:

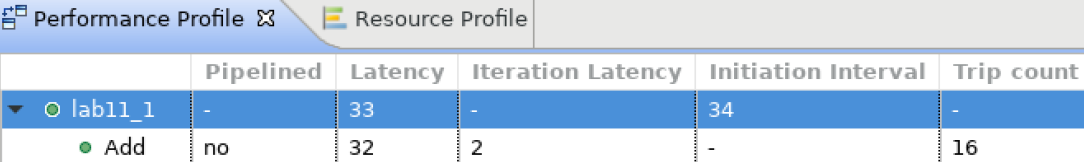


По данным результатам синтеза можно сделать вывод, что оценка производительности видно устройства соответствует заданным критериям.

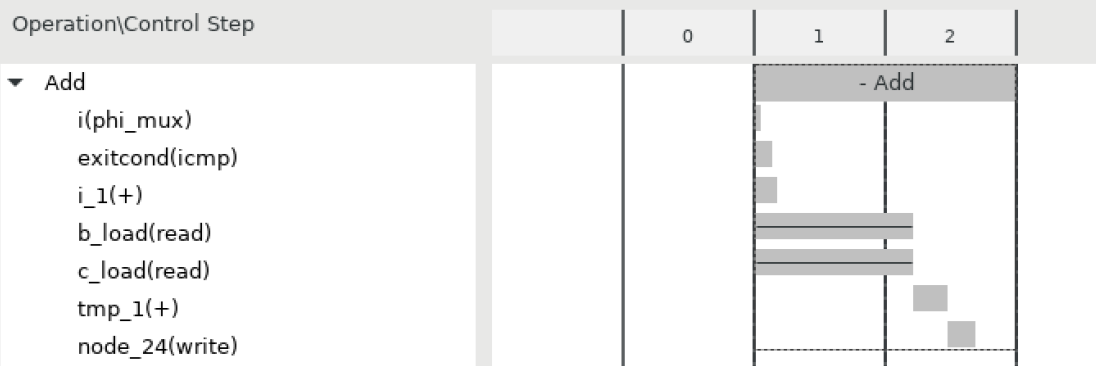
Оценка использования имеет вид:



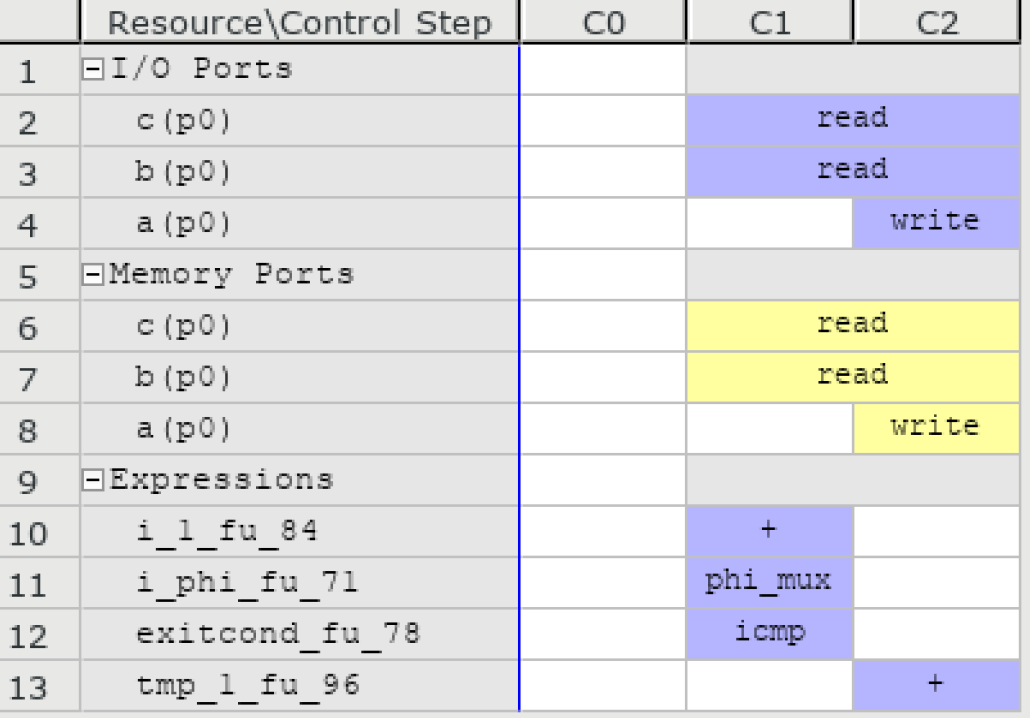
Профиль производительности имеет вид:



Данные планировщика просмотра имеет вид:

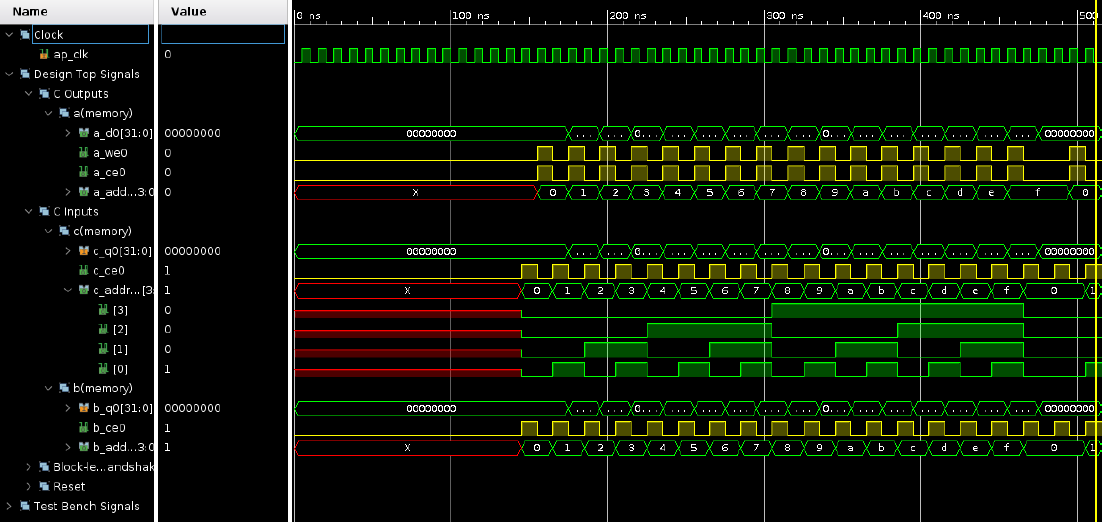


Данные обзора ресурсов имеет вид:



# 4.1.3. C/RTL моделирование

Временная диаграмма результатов C/RTL моделирования имеет вид:



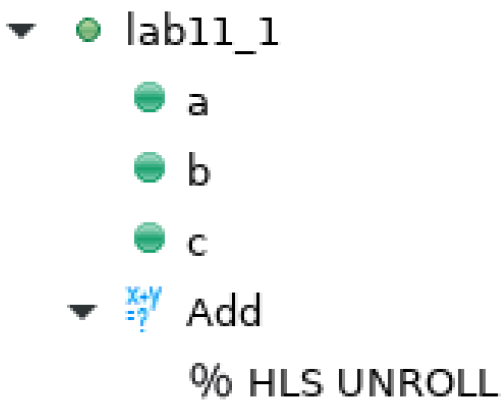
По результатам временной диаграммы можно сделать вывод, что выполнение одного цикла требует 2 такта (всего 16 циклов) и 1 такт для инициализации, таким образом, *Latency* = 16\*2 + 1 = 33. По умолчанию интерфейсы реализованы как ap\_memory.

# Решение 2а

В соответствие с планом лабораторной работы устанавливаем:

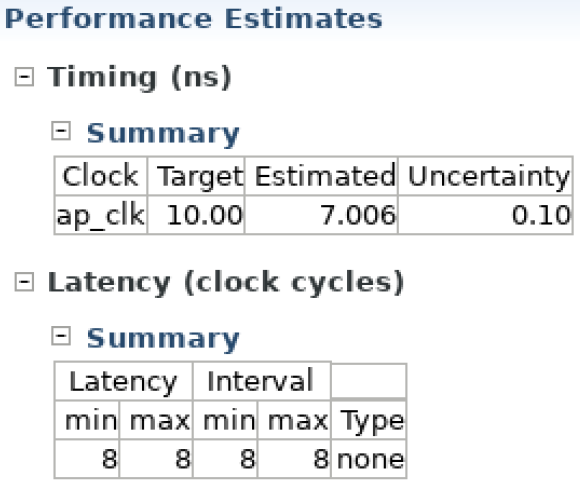
* + - clock period 10;
    - clock\_uncertainty 0.1
  + установить реализацию UNROLL (без опций)

Директивы данного решения имеют вид:



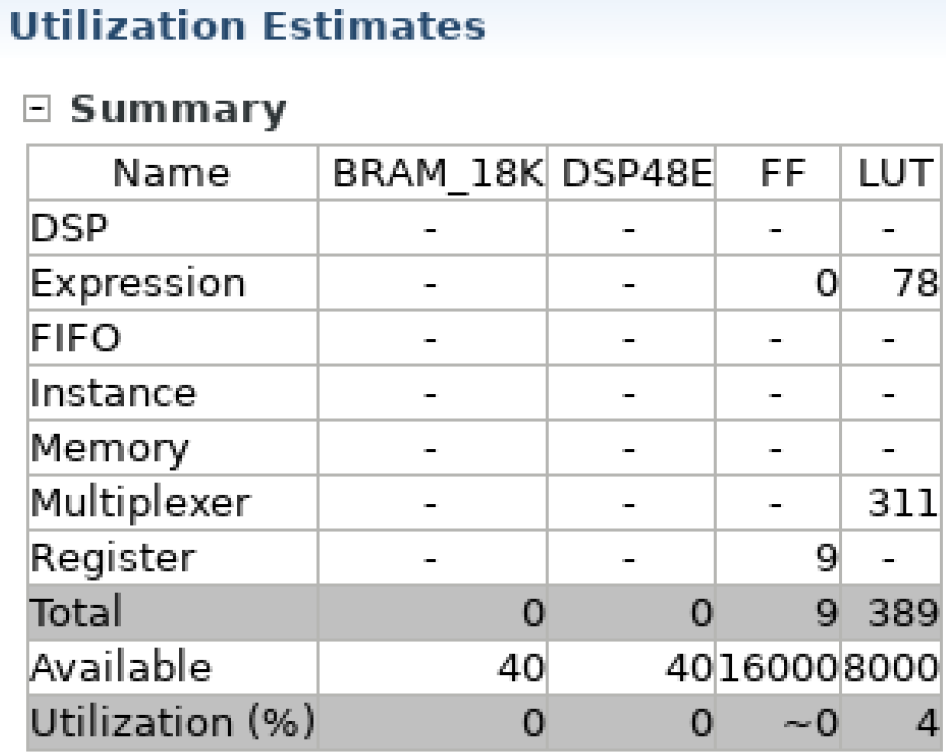
# 4.2.2.Синтез решения 2а

Результаты оценки производительности имеют вид:

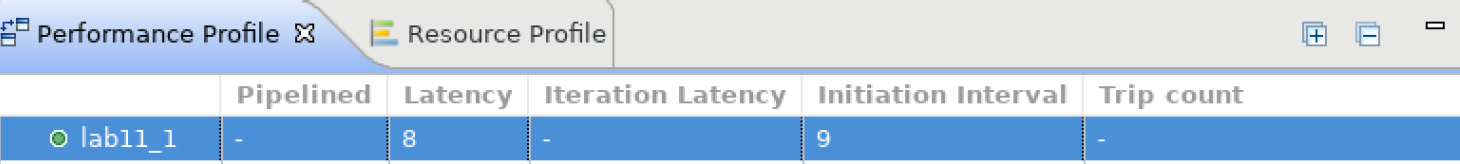


По данным результатам синтеза можно сделать вывод, что оценка производительности видно устройства соответствует заданным критериям.

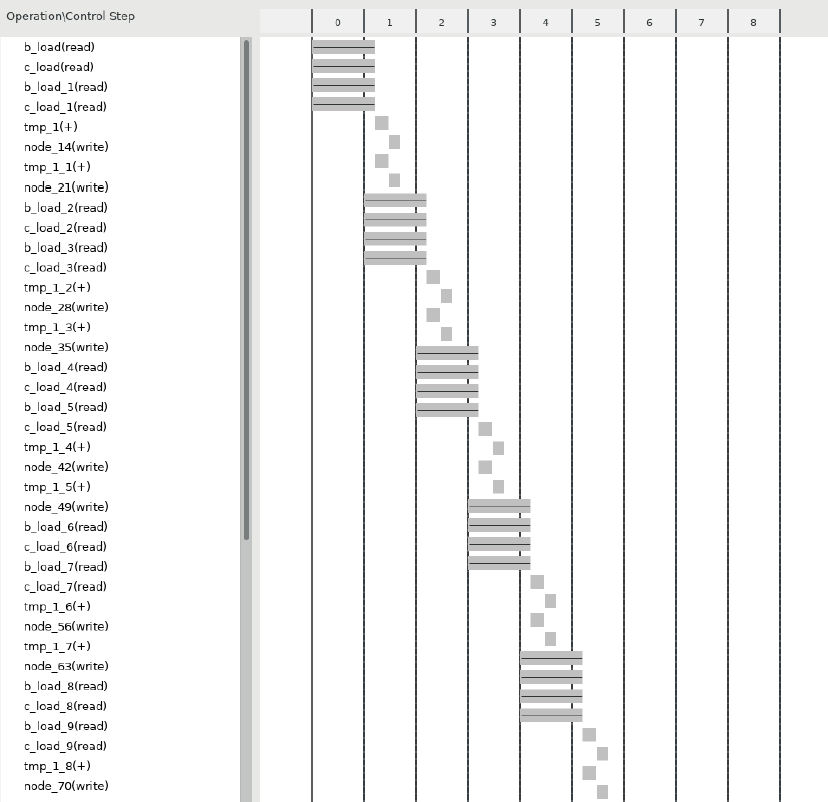
Оценка использования имеет вид:



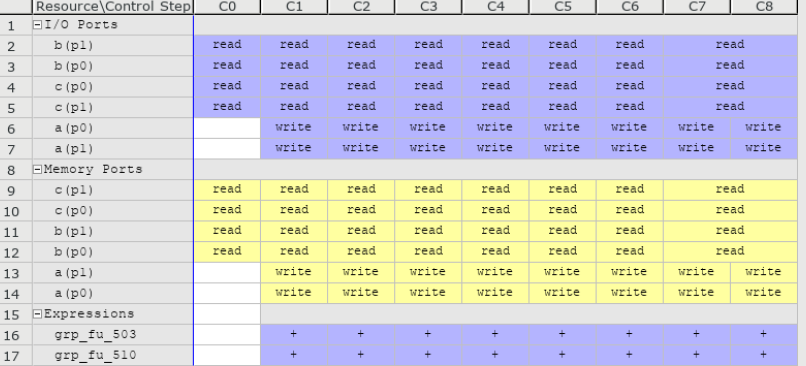
Профиль производительности имеет вид:



Данные планировщика просмотра имеет вид:

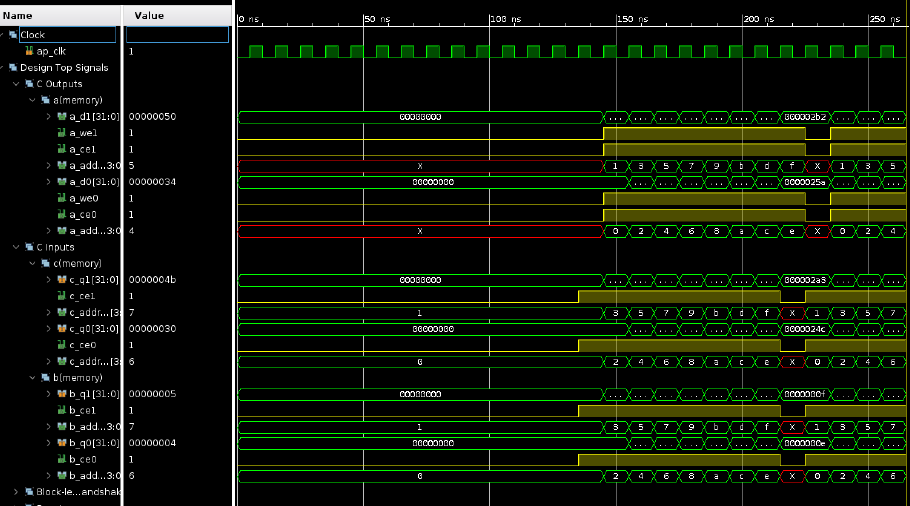


Данные обзора ресурсов имеет вид:



# 4.2.3. C/RTL моделирование

Временная диаграмма результатов C/RTL моделирования имеет вид:



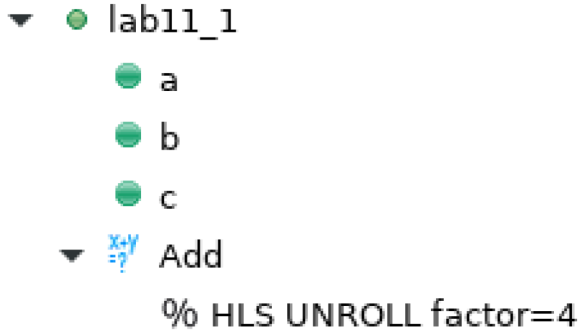
При применении директивы UNROLL уменьшилось значение Задержки с 33 до 8, потому, что в предыдущем решении в проекте применялся один блок памяти для каждого массива, а в этом для каждого массива используется 2 блока памяти, что позволяет читать одновременно по 2 значения. Так как в цикле 16 итераций и читается по 2 значения одновременно, количество циклов уменьшается в 2 раза. Так как мы «развернули» оставшиеся 8 циклов в один каскад последовательных чтений/записи то результирующее значения Задержки стало 8.

# Решение 3а

В соответствие с планом лабораторной работы устанавливаем:

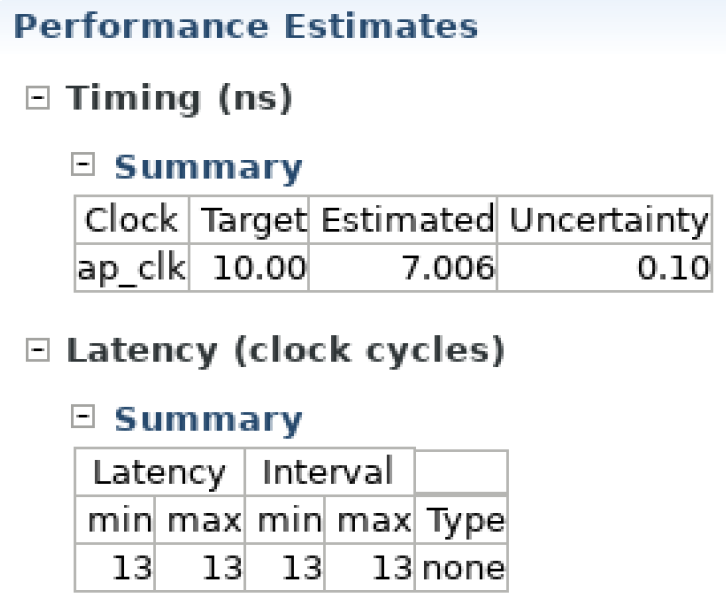
* + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию UNROLL (factor 4 + exit check)

Директивы данного решения имеют вид:



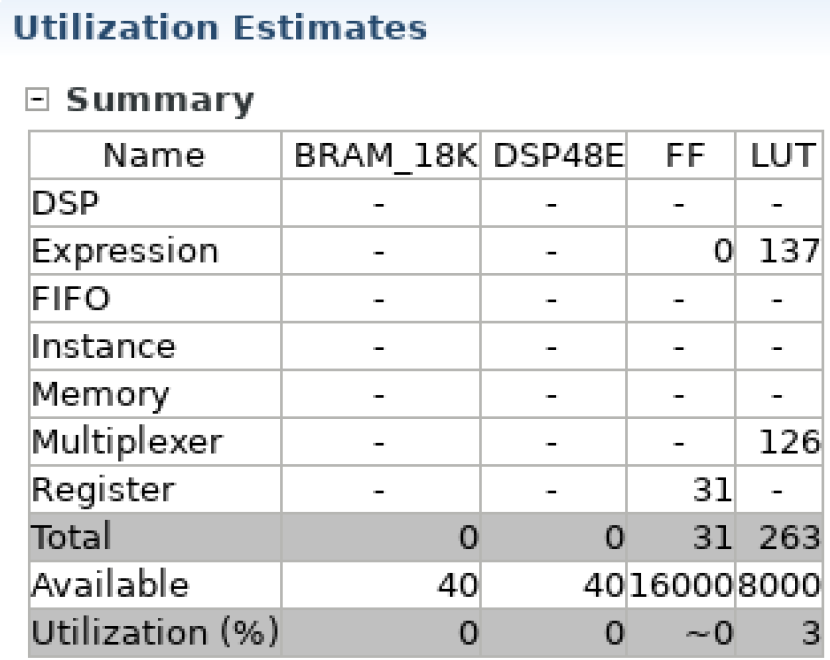
# 4.3.2.Синтез решения 3а

Результаты оценки производительности имеют вид:

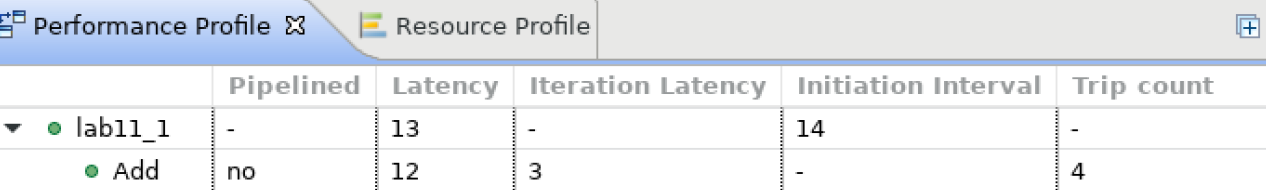


По данным результатам синтеза можно сделать вывод, что оценка производительности видно устройства соответствует заданным критериям.

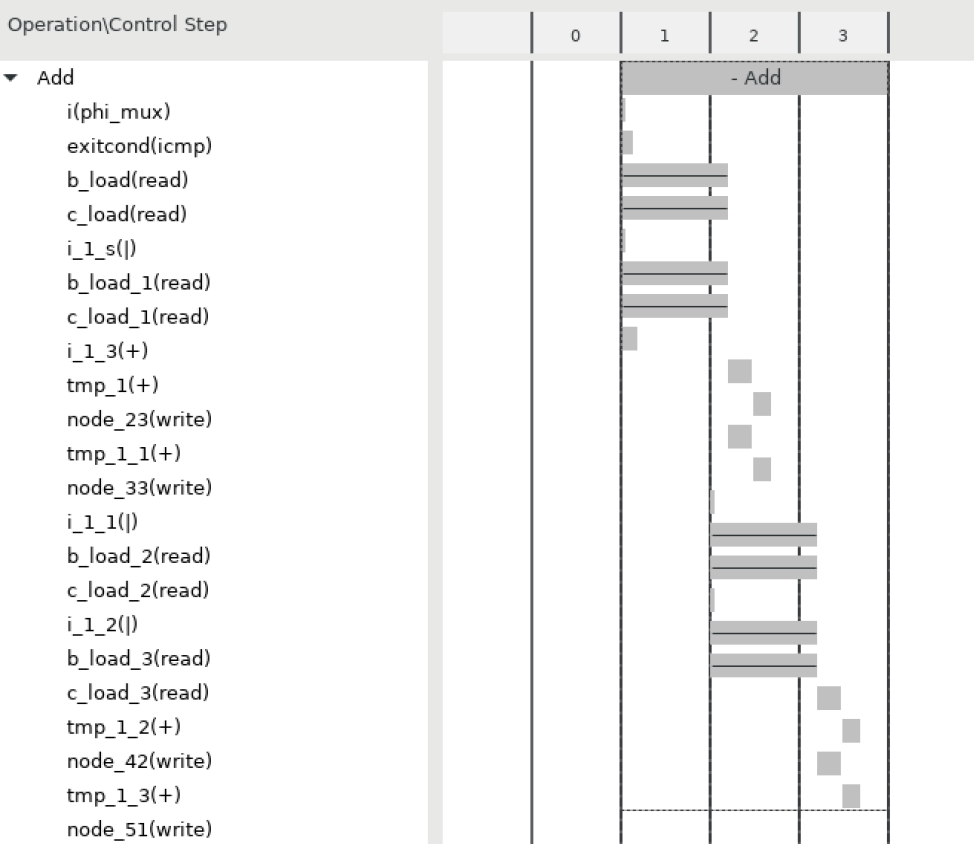
Оценка использования имеет вид:



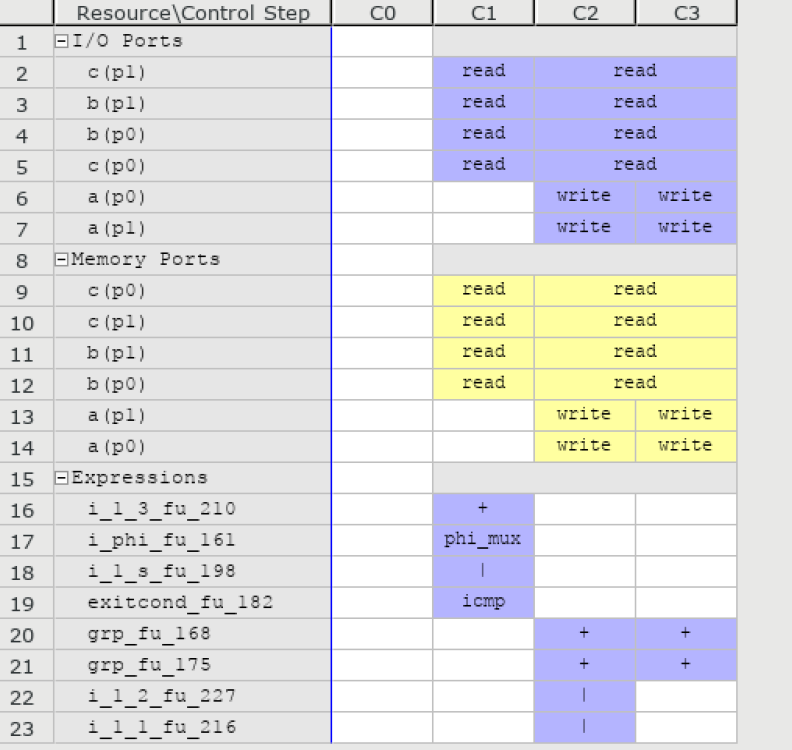
Профиль производительности имеет вид:



Данные планировщика просмотра имеет вид:

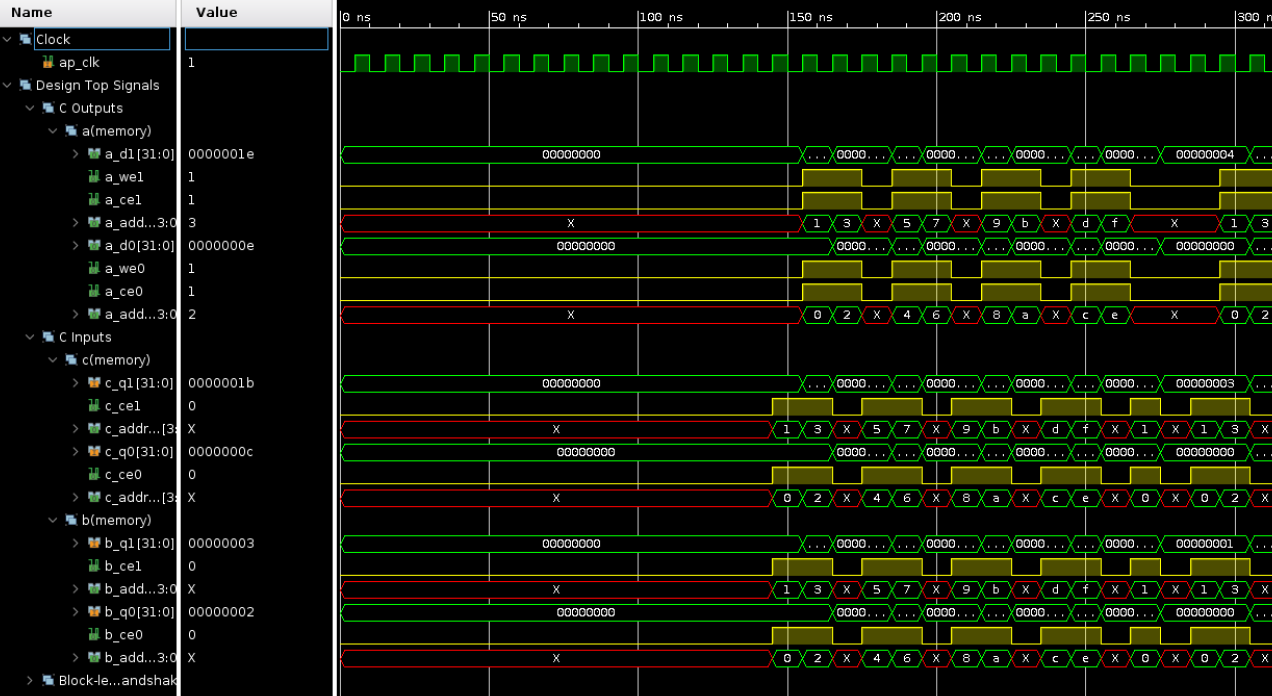


Данные обзора ресурсов имеет вид:



# 4.3.3. C/RTL моделирование

Временная диаграмма результатов C/RTL моделирования имеет вид:



В данном случае использовался параметр factor 4, таким образом, в проекте был синтезирован цикл на 4 итерации в каждом по 4 чтения/записи который требует 3 такта на выполнение + 1 подготовительный такт – Задержка = 4\*3 + 1 = 13, II = Задержка + 1 = 14.

# Решение 4а

В соответствие с планом лабораторной работы устанавливаем:

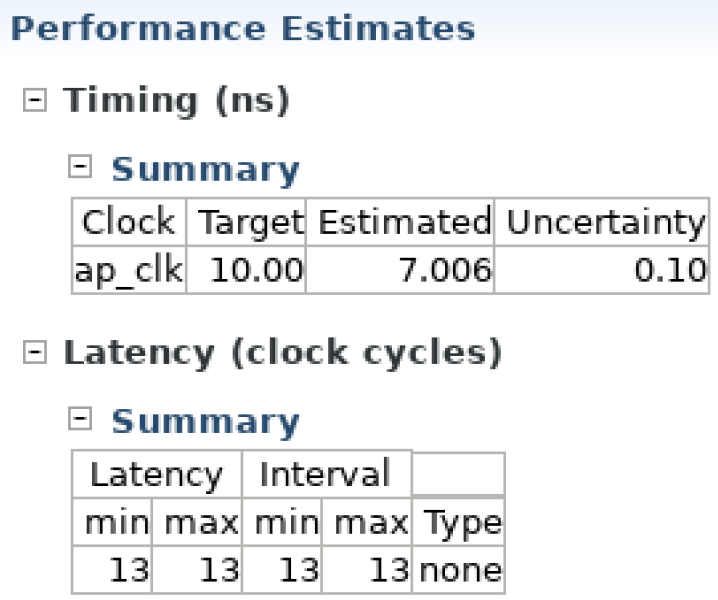
* + clock period 10;
  + clock uncertainty 0.1
  + установить реализацию UNROLL (factor 4 без exit check)

Директивы данного решения имеют вид:



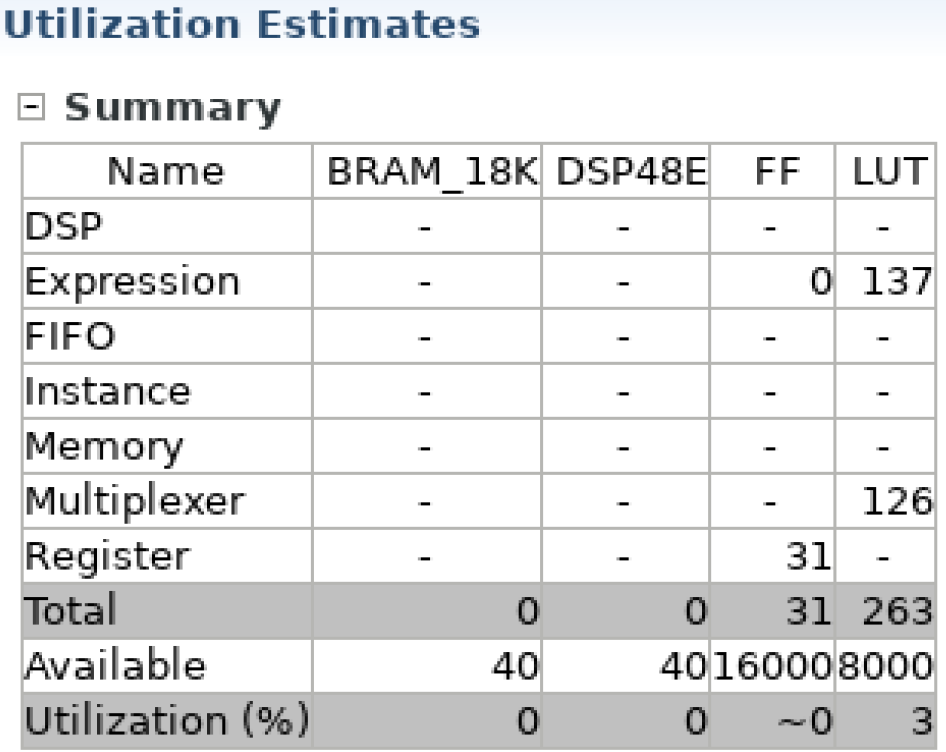
# 4.4.2.Синтез решения 3а

Результаты оценки производительности имеют вид:

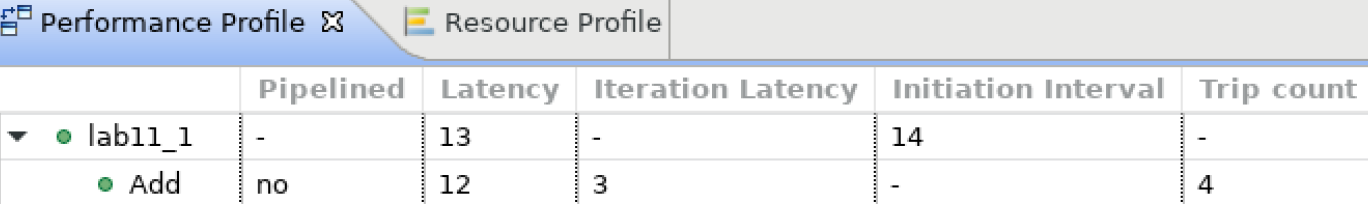


По данным результатам синтеза можно сделать вывод, что оценка производительности видно устройства соответствует заданным критериям.

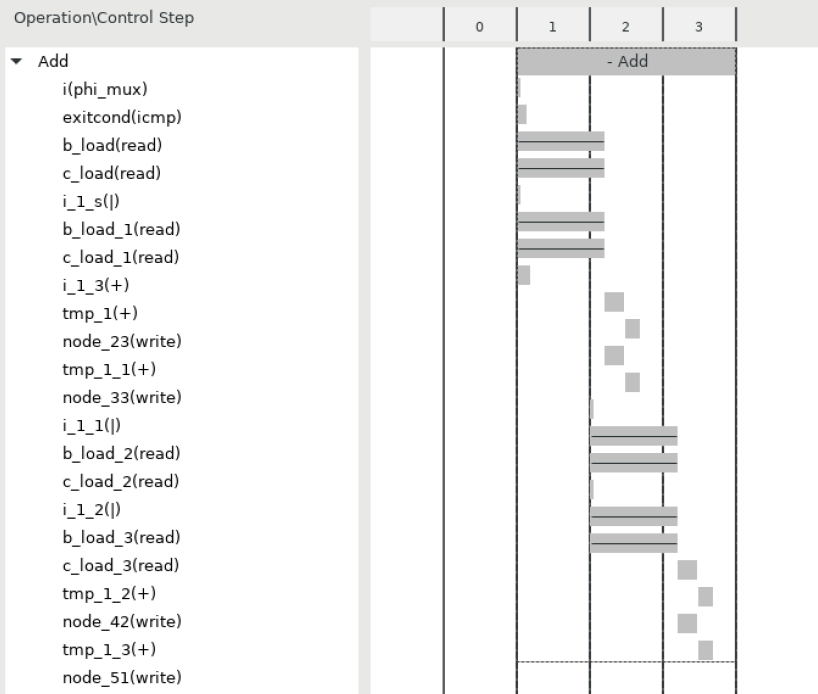
Оценка использования имеет вид:



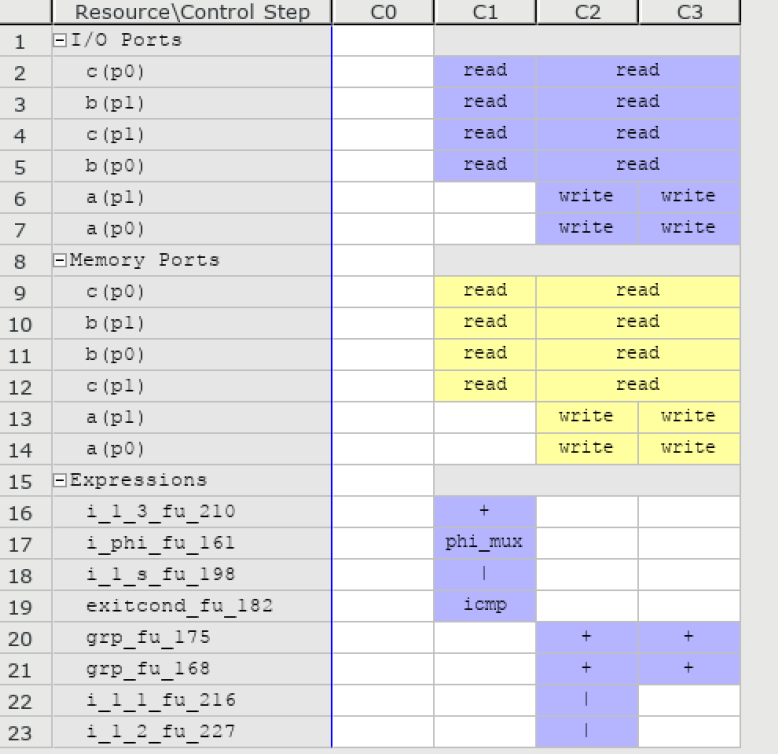
Профиль производительности имеет вид:



Данные планировщика просмотра имеет вид:

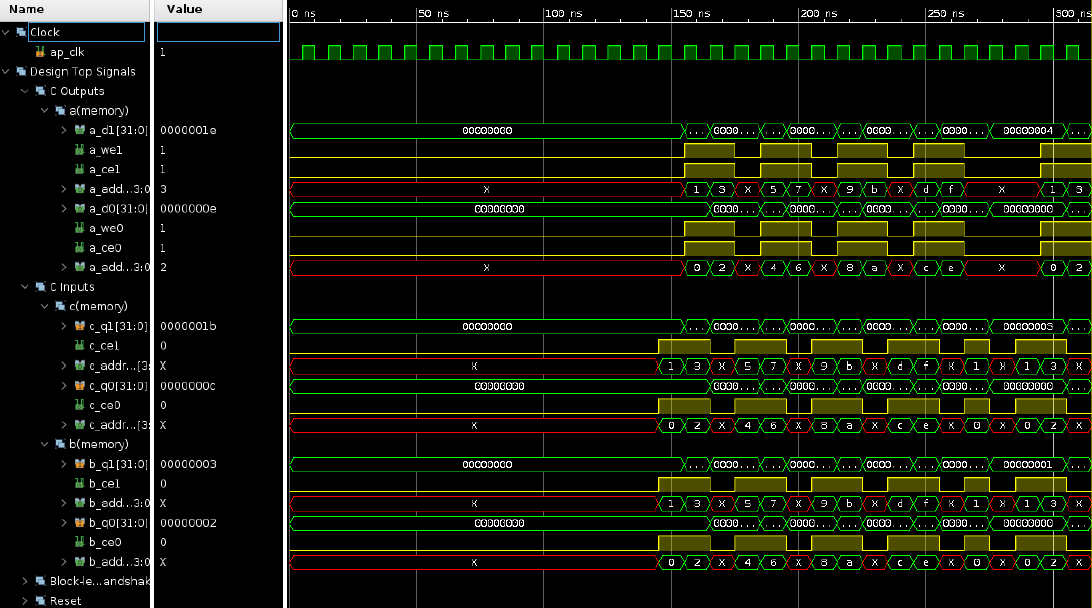


Данные обзора ресурсов имеет вид:



# 4.4.3. C/RTL моделирование

Временная диаграмма результатов C/RTL моделирования имеет вид:



Данное решение полностью совпадает с предыдущим.

# Вывод

C помощью директивы UNROLL можно «развернуть» цикл для получения конвейера, однако, чем больше «глубина» такого конвейера, тем больше количество затраченных ресурсов. Для управления глубиной конвейера используется параметр factor что позволяет балансировать между пропускной способностью и требуемыми ресурсами.